Roll No:-_____

(Sem- IV (OBE)) Diploma Exam 2025 (Even)

[Time: 3 Hours] **(Computer Science & Engineering) (Theory)** **[Full. Marks: 70]**

Computer Org. and Architecture (T2418404)

- All questions are compulsory. (सभी प्रश्न अनिवार्य है|)

- Marks are mentioned on the right side of each question. (अंक सभी प्रश्न के दाई ओर अंकित किये है|)

Group (A) (ग्रुप -ए)

			Marks	CO	BL
Q.1	Answer all questions as directed. (निर्देशानुसार सभी प्रश्नों के उत्तर दें)	**(2x10=20)**			
a)	____ sequence correctly represents the phases of the instruction cycle. A. Fetch → Execute → Decode B. Decode → Fetch → Execute C. Fetch → Decode → Execute D. Execute → Fetch → Decode _____ _____अनुक्रम निर्देश चक्र के चरणों को सही ढंग से दर्शाता है | A. फ़ेच → निष्पादन → डिकोड B. डिकोड → फ़ेच → निष्पादन C. फ़ेच → डिकोड → निष्पादन D. निष्पादन → फ़ेच → डिकोड		2	1	1
b)	_____ is a non-maskable interrupt. (Timer Interrupt/ I/O Device Request/Power Failure /Keyboard Input) _____ एक नॉन-मास्केबल इंटरप्ट है। (टाइमर इंटरप्ट/ I/O डिवाइस रिक्वेस्ट/पावर फेलियर/कीबोर्ड इनपुट)		2	1	1
c)	Choose the correct statement: A. In 2's complement, the MSB indicates the sign and is also part of magnitude. B. Signed magnitude uses 2's complement for negative numbers. C. 2's complement cannot represent zero. D. Signed magnitude supports only positive numbers. सही कथन चुनें: A. 2 के पूरक में, MSB चिह्न को इंगित करता है और परिमाण का भी हिस्सा है | B. हस्ताक्षरित परिमाण ऋणात्मक संख्याओं के लिए 2 के पूरक का उपयोग करता है | C. 2 का पूरक शून्य का प्रतिनिधित्व नहीं कर सकता | D. हस्ताक्षरित परिमाण केवल सकारात्मक संख्याओं का समर्थन करता है		2	2	1
d)	Match the following: A. I/O Bus → 1. Intermediary between CPU and device B. Memory Bus → 2. Common path for peripherals C. I/O Interface Module → 3. Transfers data to/from memory निम्नलिखित का मिलान करें: A B A. I/O बस → 1. CPU और डिवाइस के बीच मध्यस्थ B. मेमोरी बस → 2. बाह्य उपकरणों के लिए सामान्य पथ C. I/O इंटरफ़ेस मॉड्यूल → 3. मेमोरी से/में डेटा स्थानांतरित करता है		2	3	1

e) Choose the correct statement about Booth's algorithm: A. It performs only for positive numbers . B. It skips sequences of 0s or 1s to optimize multiplication . C. It increases the total number of operations . D. It cannot handle signed numbers . बूथ के एल्गोरिथ्म के बारे में सही कथन चुनें: A. यह केवल सकारात्मक संख्याओं के लिए कार्य करता है | B. यह गुणन को अनुकूलित करने के लिए 0 या 1 के अनुक्रम को छोड़ देता है | C. यह संचालन की कुल संख्या को बढ़ाता है | D. यह हस्ताक्षरित संख्याओं को संभाल नहीं सकता |	2	3	1
f) Match the following data transfer modes with their properties: **Column A** **Column B** A. Programmed I/O → 1. Device interrupts CPU B. Interrupt Initiated I/O → 2. CPU checks status repeatedly C. DMA → 3. Transfer bypasses CPU निम्नलिखित डेटा ट्रांसफर मोड को उनके गुणों से मिलाएं: A B A. प्रोग्राम्ड I/O → 1. डिवाइस CPU को बाधित करता है B. इंटरप्ट इनिशिएटेड I/O → 2. CPU बार-बार स्थिति की जांच करता है C. DMA → 3. ट्रांसफर CPU को बायपास करता है	2	3	1
g) Match the cache mapping techniques with their description: A. Direct Mapping → 1. One block maps to one line B. Associative Mapping → 2. Any block to any line C. Set Associative Mapping → 3. Set of lines per block कैश मैपिंग तकनीकों का उनके विवरण से मिलान करें: A. डायरेक्ट मैपिंग → 1. एक ब्लॉक एक लाइन पर मैप होता है B. एसोसिएटिव मैपिंग → 2. किसी भी ब्लॉक से किसी भी लाइन पर C. सेट एसोसिएटिव मैपिंग → 3. प्रति ब्लॉक लाइनों का सेट	2	4	1
h) Choose the correct statement regarding Direct Memory Access (DMA): A. DMA allows data transfer between memory and I/O without CPU involvement B. DMA always requires CPU to transfer data C. DMA is slower than programmed I/O D. DMA can only transfer data to registers डायरेक्ट मेमोरी एक्सेस (DMA) के बारे में सही कथन चुनें: A. DMA CPU की भागीदारी के बिना मेमोरी और I/O के बीच डेटा ट्रांसफर की अनुमति देता है B. DMA को डेटा ट्रांसफर करने के लिए हमेशा CPU की आवश्यकता होती है C. DMA प्रोग्राम किए गए I/O से धीमा है D. DMA केवल रजिस्टरों में डेटा ट्रांसफर कर सकता है	2	5	1
i) Pipelining improves the _____ of a CPU by executing multiple instructions simultaneously. (Complexity/ Frequency/Throughput /Cache size) पाइपलाइनिंग एक साथ कई निर्देशों को निष्पादित करके सीपीयू के _____ को बेहतर बनाता है। (जटिलता / आवृत्ति / थ्रूपुट / कैश आकार)	2	5	1

j)	Choose the correct sequence of stages in a 5-stage instruction pipeline: A. Decode, Fetch, Execute, Memory, Write Back B. Fetch, Decode, Execute, Memory, Write Back C. Fetch, Execute, Decode, Memory, Write Back D. Fetch, Decode, Memory, Execute, Write Back 5-चरणीय निर्देश पाइपलाइन में चरणों का सही क्रम चुनें: A. डिकोड, फ़ेच, एक्ज़ीक्यूट, मेमोरी, राइट बैक B. फ़ेच, डिकोड, एक्ज़ीक्यूट, मेमोरी, राइट बैक C. फ़ेच, एक्ज़ीक्यूट, डिकोड, मेमोरी, राइट बैक D. फ़ेच, डिकोड, मेमोरी, एक्ज़ीक्यूट, राइट बैक	2	6	1
	Group (B) (ग्रुप -बी)			
	Answer all five questions. (सभी पाँच प्रश्नों के उत्तर दें|) **4x5=20**			
Q.2	Describe the three main phases of the instruction cycle: *Fetch, Decode, and Execute*, with an example. निर्देश चक्र के तीन मुख्य चरणों का वर्णन करें: प्राप्त करना, डिकोड करना, और निष्पादित करना, उदाहरण सहित।	4	1	2
	OR (अथवा)			
	Compare *maskable* and *non-maskable* interrupts. Give one example of each. मास्केबल और नॉन-मास्केबल इंटरप्ट की तुलना करें। प्रत्येक का एक उदाहरण दें।	4	1	2
Q.3	Differentiate between Booth's algorithm and Array multiplier in terms of speed and complexity. गति और जटिलता के संदर्भ में बूथ एल्गोरिथ्म और ऐरे गुणक के बीच अंतर बताएं।	4	2	3
	OR (अथवा)			
	Multiply (+6) × (–3) using Booth's algorithm in 4-bit 2's complement. 4-बिट 2 के पूरक में बूथ एल्गोरिथ्म का उपयोग करके (+6) × (–3) गुणा करें।	4	2	3
Q.4	Differentiate between **I/O Bus** and **Memory Bus** with examples. उदाहरण सहित I/O बस और मेमोरी बस के बीच अंतर स्पष्ट करें।	4	3	2
	OR (अथवा)			
	Explain the **handshaking technique** in asynchronous data transfer with a simple diagram. अतुल्यकालिक डेटा स्थानांतरण में हैंडशेकिंग तकनीक को सरल आरेख के साथ समझाइए।	4	3	2
Q.5	Explain working **of Least Recently Used (LRU)** page replacement algorithm. सबसे कम हाल ही में प्रयुक्त (एलआरयू) पृष्ठ प्रतिस्थापन एल्गोरिथम की कार्यप्रणाली समझाइए।	4	4	3
	OR (अथवा)			
	Explain the role of RAM in a computer system.. कंप्यूटर सिस्टम में RAM की भूमिका समझाइए।	4	5	3
Q.6	List the five basic stages of a **pipeline** in instruction execution. Explain the function of each in short. निर्देश निष्पादन में पाइपलाइन के पाँच बुनियादी चरणों की सूची बनाएँ। प्रत्येक के कार्य को संक्षेप में समझाएँ।	4	5	2
	OR (अथवा)			
	Define **data hazard** in pipelining. Explain how it can affect instruction execution. पाइपलाइनिंग में डेटा जोखिम को परिभाषित करें। समझाएँ कि यह निर्देश निष्पादन को कैसे प्रभावित कर सकता है।	4	6	2

Group (C) (ग्रुप - सी)

Answer all five questions. (सभी पाँच प्रश्नों के उत्तर दें |) **6x5=30**

Q.7	Explain any **four addressing modes** in detail with examples. किसी भी चार एड्रेसिंग मोड को उदाहरण सहित विस्तार से समझाइए। **OR (अथवा)** Design a register transfer sequence to implement the operation: R1 ← R2 + R3. ऑपरेशन को कार्यान्वित करने के लिए एक रजिस्टर स्थानांतरण अनुक्रम डिज़ाइन करें: R1 ← R2 + R3.	6 6	1 1	2 6
Q.8	Explain how **binary addition and subtraction** is done using **signed 2's complement data**. Use examples to add (+7) and (–5) and subtract (–6) – (+3). बताएं कि हस्ताक्षरित 2 के पूरक डेटा का उपयोग करके बाइनरी जोड़ और घटाव कैसे किया जाता है। (+7) और (–5) को जोड़ने और (–6) - (+3) को घटाने के लिए उदाहरणों का उपयोग करें। **OR (अथवा)** Describe the **hardware design of a 4-bit adder-subtractor unit** using a full adder and control logic. पूर्ण योजक और नियंत्रण तर्क का उपयोग करते हुए 4-बिट योजक-घटाने वाली इकाई के हार्डवेयर डिजाइन का वर्णन करें।	6 6	2 2	3 3
Q.9	Explain the **block diagram of a basic I/O interface** and describe how it communicates with CPU and peripherals. एक बुनियादी I/O इंटरफ़ेस के ब्लॉक आरेख की व्याख्या करें और बताएं कि यह CPU और बाह्य उपकरणों के साथ कैसे संचार करता है। **OR (अथवा)** Draw and explain the working of a **DMA Controller.** डीएमए नियंत्रक का चित्र बनाइए और उसकी कार्यप्रणाली समझाइए।	6 6	4 4	2 2
Q.10	Explain the operation of **cache memory** in a CPU. Discuss **cache hits**, **cache misses**, and how **cache size** affects performance. CPU में कैश मेमोरी के संचालन की व्याख्या करें। कैश हिट, कैश मिस और कैश आकार किस प्रकार प्रदर्शन को प्रभावित करता है, इस पर चर्चा करें। **OR (अथवा)** Given a cache with a hit ratio of 0.85, Evaluate the **miss ratio** and **performance** for the system. Explain the significance of these metrics. 0.85 के हिट अनुपात वाले कैश को देखते हुए, सिस्टम के लिए मिस अनुपात और प्रदर्शन की गणना करें। इन मेट्रिक्स के महत्व को समझाएँ।	6 6	5 5	6 5
Q.11	Draw and explain the **five-stage pipeline** with a labeled diagram. पांच-चरणीय पाइपलाइन को नामांकित आरेख द्वारा चित्रित करें और समझाएं। **OR (अथवा)** Discuss the different types of pipeline hazards with a suitable example: a) Structural hazard b) Data hazard c) Control hazard. पाइपलाइन खतरों के विभिन्न प्रकारों पर उपयुक्त उदाहरण के साथ चर्चा करें: a) संरचनात्मक खतरा b) डेटा खतरा c) नियंत्रण खतरा।	6 6	5 6	5 6

------*****------